

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-235464

(43)Date of publication of application : 22.11.1985

(51)Int.Cl.

H01L 29/72

(21)Application number : 59-091273

(71)Applicant : NEC CORP
NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 08.05.1984

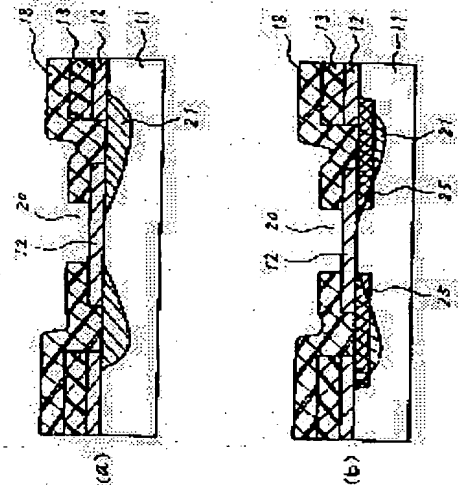
(72)Inventor : TOKUYOSHI FUJIKI
YAMAMOTO HIROHIKO
SAKAI TETSUSHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To equalize the junction depth and concentration distribution of a base- contact region and increase concentration thereof by forming an opening for an emitter and adding an impurity.

CONSTITUTION: An opening 20 is shaped, and an impurity is added to the whole surface and the added impurity is corrected, thus forming impurity adding regions 25. The diffusion of boron for approximately 20min at 1,000° C is proper as conditions for diffusion, final depth extends over approximately 0.3 μ m, and the resistance value of a poly Si film layer extends over approximately 100 Ω / square. A transistor element is manufactured by shaping an emitter region, etc. according to a conventional process. Consequently, the junction depth of a base- contact section and the distribution of impurity concentration are equalized, and base parasitic resistance is reduced easily, thus improving the characteristics of the transistor element with ease.



Best Available Copy

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Best Available Copy

⑨ 日本国特許庁 (J P)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭60-235464

⑫ Int. Cl.⁴
H 01 L 29/72

識別記号 庁内整理番号
8526-5F

⑬ 公開 昭和60年(1985)11月22日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭59-91273

⑯ 出 願 昭59(1984)5月8日

⑰ 発 明 者	徳 吉 藤 樹	東京都港区芝5丁目33番1号 日本電気株式会社内
⑰ 発 明 者	山 本 宏 彦	東京都港区芝5丁目33番1号 日本電気株式会社内
⑰ 発 明 者	酒 井 徹 志	厚木市小野1839番地 日本電信電話公社厚木電気通信研究所内
⑰ 出 願 人	日本電気株式会社	東京都港区芝5丁目33番1号
⑰ 出 願 人	日本電信電話株式会社	東京都千代田区内幸町1丁目1番6号
⑰ 代 理 人	弁理士 内 原 晋	

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板表面に絶縁体膜を形成し、該絶縁体膜上に不純物を含む第1の多結晶シリコン膜を部分的に形成する工程と、該第1の多結晶シリコン膜の周辺の一部に隣接してベース・コンタクト用開孔を絶縁体膜に形成する工程と、その後、不純物が添加されていない第2の多結晶シリコン膜を形成する工程と、該第1の多結晶シリコン膜から第2の多結晶シリコン膜に不純物の拡散を生ぜしめ、不純物添加領域を形成すると同時に、前記開孔を通して基板内に不純物添加を行なう工程と、不純物添加領域外の第2の多結晶シリコン膜を除去する工程と、残存せる該第2の多結晶シリコン膜の周辺の一部を用いてエミッタ用開孔を絶縁体膜に形成する工程を含む半導体装置の製造方法に

おいて、前記第2の多結晶シリコン膜の形成前又はパターン形成後に、前記不純物と同一の不純物を添加する工程を含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

本発明は半導体装置の製造方法に係り、特に高速、高集積度を目的とするバイポーラトランジスタのベース・コンタクト領域の形成方法に関する。

バイポーラ型半導体装置において、その構造についてみると基板平面に垂直方向では、エミッタ領域、ベース領域、高抵抗コレクタ領域、及び低抵抗コレクタ領域の4層構造となっており、これら4層が2～3μmの内に形成されている。これに対し、水平方向では、エミッタ領域、ベース領域、ベース・コンタクト領域、コレクタコンタクト領域、絶縁領域等が縦横数μmの方形の内に形成されている。このように、水平面内で大きな領域が必要となる理由は、それぞれの領域を写真食刻法と拡散、酸化の組み合わせで形成している

為、各領域間にマスク目合せの余裕度が必要である事と、内部素子間配線用のコンタクト形状が、そのコンタクト抵抗値や信頼性の問題から小さく出来ない事にある。集積回路装置の性能向上や、集積度向上の為に、この水平面内での素子の専有面積をいかに小さくするかが大きな焦点となっており、それと同時にベース・コレクタ等の寄生抵抗を小さくする方法や、写真食刻の使用回数を少なくする方法が色々と検討されている。その中で、専有面積を小さくする方法としては誘電体絶縁分離法や、エミッタ・ベース、コレクタ等のコンタクトを一度に形成するオール・コンタクト方式、又、ベース・コンタクト窓から自己整合的にエミッタを形成する方法等が、又、コンタクト形状を小さくし、かつ、コンタクトの信頼性を向上する方法として多結晶シリコン膜を使用する方法等が注目されている。

第1図～第6図は従来技術を示すもので、コンタクト部に多結晶シリコン膜を使用し、ベース・コンタクト窓から自己整合的に、写真食刻法を用

Si膜13で、ボロンが添加されていない領域を巾0.3 μm 程度露出させる。次に露出した、ボロンが添加されていないPoly Si膜13を食刻し、第1の絶縁体膜12を露出させる。このとき食刻方法としてはKOH系液体を用いた湿式エッチングが適している。その後、順次、第2の絶縁体膜14を除去し、露出した第1の絶縁体膜12を除去し、開孔16を設け、ボロンが添加されていないPoly Si膜13を除去する(第3図)。しかる後に、再びPoly Si膜17を約3000Åの膜厚で形成し、該Poly Si膜15からボロンの拡散を生ぜしめ、Poly Si膜17中にボロン添加領域18を形成すると同時に開孔16を通してシリコン基板11中にもボロン添加領域19を形成する(第4図)。この時、拡散条件としては900℃、N₂、6時間程度が適当であり、Poly Si膜17中に約0.7 μm され、シリコン中に約0.4 μm 拡散される。その結果、絶縁体膜12上のPoly Si膜17にも絶縁体膜端から約0.4 μm 入った所まで拡散される。又、シリコン中のボロン拡散領域は、拡散源であ

特開昭60-235464 (2)
いず、ベース領域、エミッタ領域及びエミッタコンタクト部を形成するnpn型トランジスタの従来の製造方法の主たる工程の、主たる部分の断面図を示す。

第1図はn型シリコン基板11上に第1の絶縁体膜12(酸化膜と窒化膜の重層膜)を約1500Åの膜厚で形成し、該膜上に多結晶シリコン膜(polysil)13を約2500Åの膜厚で形成し、その上に第2の絶縁体膜14(酸化膜、polysil膜、窒化膜等の組み合わせによる膜)を約0.7 μm の膜厚で形成した所である。次に写真食刻法とリアクティブイオンエッチ等の組み合わせにより第2の絶縁体膜14を部分的に除去し、残存第2の絶縁体膜14をマスクとして、polysil膜13に不純物添加を行なう(第2図)。この時、不純物添加法としてはイオン注入法を用い、注入条件としては、不純物はボロンでエネルギー(E)は50keV、ドーズ量(D)は5E15 cm⁻²が適当である。しかる後に第2の絶縁体膜14を、等方性プラズマエッチや、湿式エッチングにより側面エッチングし、Poly

Si膜15が、開孔16の一端に接してしか形成されていない為、そのシリコン中での接合深さや濃度勾配は第4図に示した様に、拡散源(Poly Si膜15)から離れるに従って浅く、又薄くなる形状を有している。次にPoly Si膜17でボロンを添加されていない部分を食刻し、開孔20を設ける(第5図)。次にPoly Si膜18表面を熱酸化し、シリコン酸化膜24を約3000Åの膜厚で形成する。その後該酸化膜24を用いて第1の絶縁体膜を食刻し開孔20をシリコン基板に至達させ、その開孔を通してシリコン基板中にボロンを添加し活性ベース領域21を形成する。次に開孔20を覆うPoly Si膜パターン23を形成し、該Poly Si膜23を通してn型不純物をシリコン中に添加し、エミッタ領域22を形成する(第6図)。これによりnPNトランジスタが形成される。

以上、従来プロセスを詳細に説明したが、この従来プロセスによると、シリコン中に形成されたベース・コンタクト領域の接合深さや、不純物濃

特開昭60-235464 (3)

度分布が大きく不均一な分布をしており、エミッタ・コンタクト部に近づくにつれて接合が浅く、濃度が薄くなる傾向を有している。又、ポリシリ中の不純物分布も不均一となっている。この結果、ベース寄生抵抗が大きくなり、トランジスタ素子の動作速度の向上を図るときの大きな欠点となっている。又 Poly Si 膜を内部抵抗素子として使用する場合、その安定性や再現性等に信頼できない所がある。

本発明はこれらの点を改善しようとするもので、前記、従来プロセスの第5図のエミッタ用開孔を設けた後に、不純物添加を行ないベース・コンタクト領域の接合深さや濃度分布を均一かつ高濃度化する。それと同時に Poly Si 膜中の不純物濃度も均一化する。この結果、ベース寄生抵抗を大巾に小さくすることが可能となり、又、Poly Si 膜による抵抗も任意にコントロール可能となり、その信頼性も向上できる。

すなわち本発明の特徴は、半導体基板表面に絶縁膜を形成し、該絶縁膜上に不純物を含む第

1の多結晶シリコン膜を部分的に形成する工程と、該第1の多結晶シリコン膜の周辺の一部に隣接してベース・コンタクト用開孔を絶縁体膜に形成する工程と、その後に、不純物が添加されていない第2の多結晶シリコン膜を形成する工程と、該第1の多結晶シリコン膜から第2の多結晶シリコン膜に不純物の拡散を生ぜしめ、不純物添加領域を形成すると同時に、前記開孔を通して基板内に不純物添加を行なう工程と、不純物添加領域外の第2の多結晶シリコン膜を除去する工程と、残存する第2の多結晶シリコン膜の周辺の一部を用いてエミッタ用開孔を絶縁体膜に形成する工程を含む半導体装置の製造方法において、前記第2の多結晶シリコン膜の形成前又はパターン形成後に、前記不純物と同一の不純物を添加する工程を含む半導体装置の製造方法にある。次に実施例により詳細に説明する。

第7図(a)は従来プロセスの実施例第5図に対応する断面図である。この後に、全面に不純物添加を行ない添加されている不純物の補正を行ない、

不純物添加領域25を形成する(第7図(b))。拡散条件としては1000℃20分程度のボロン拡散が適当であり、最終的な深さは0.3 μm程度で、Poly Si 膜の層抵抗値は約100 Ω/□程度となる。以下、従来プロセスに従い、エミッタ領域等を形成することによりトランジスタ素子が作られる。

以上、詳細に説明した様に、本発明によると、Poly Si 膜を拡散源としてベース・コンタクト用P型領域を形成した後に、再び外方より、不純物添加を行なう。これによりベース・コンタクト部の接合深さや、不純物濃度分布の均一化を図り、ベース寄生抵抗の減少を容易に行ない、合わせて Poly Si 膜中の不純物の均一化を行ない Poly Si 抵抗の使用を容易とする。これによりトランジスタ素子の特性向上が容易に可能となり、合わせて半導体装置の信頼性向上が期待できる。

npn トランジスタのエミッターベース間の断面図を示す。又、第7図(a)、(b)は本発明と従来プロセスの相違点を示す断面図である。

図中の記号は下記の事物を表わす。

11……n型シリコン基板、12……第1の絶縁体膜(シリコン酸化膜又はシリコン窒化膜とシリコン窒化膜の二重膜)、13,17……多結晶シリコン膜(不純物添加無)、14……第2の絶縁体膜(シリコン酸化膜、シリコン窒化膜、多結晶シリコン膜等の重ね合せ膜)、15,18,23……多結晶シリコン膜(不純物添加有)、16……ベース・コンタクト用開孔、19,21,25……P型不純物添加領域、20……エミッタ形成用の孔、22……エミッタ用n⁺不純物添加領域、24……シリコン酸化膜である。

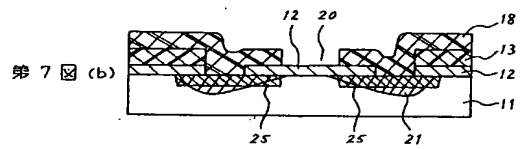
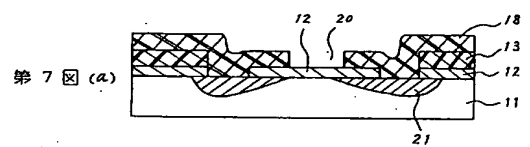
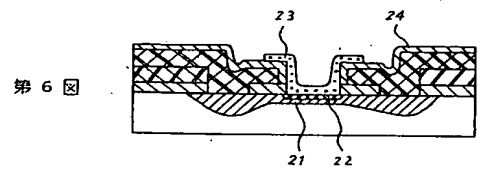
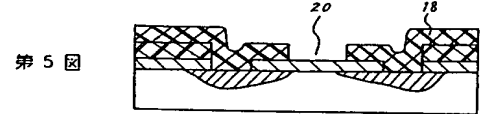
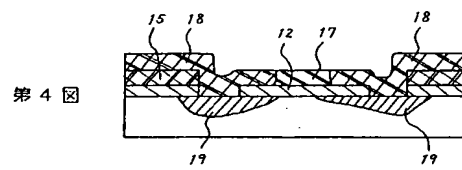
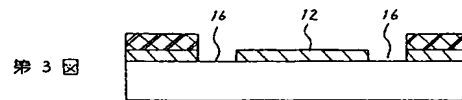
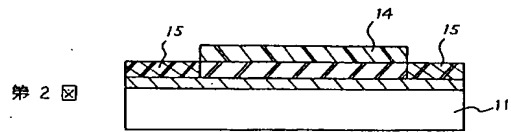
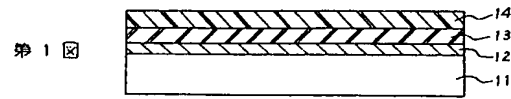
代理人 弁理士 内 原



4. 図面の簡単な説明

第1図～第6図は従来プロセスの主たる工程の

特開昭60-235464 (4)



Best Available Copy